

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): OKUDA, Yuichi  
Serial No.: Not yet assigned  
Filed: January 30, 2004  
Title: SEMICONDUCTOR MEMORY DEVICE AND TEST METHOD  
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

January 30, 2004

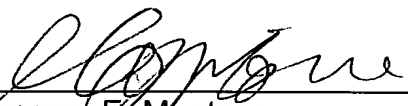
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-023019, filed January 31, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
Gregory E. Montone  
Registration No. 28,141

GEM/alb  
Attachment  
(703) 312-6600

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 3 1 日  
Date of Application:

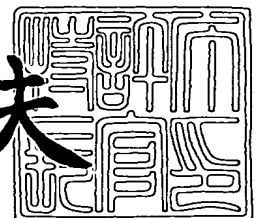
出 願 番 号            特 願 2 0 0 3 - 0 2 3 0 1 9  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 2 3 0 1 9 ]

出   願   人            株式会社ルネサステクノロジ  
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 8 6 9 9 2

【書類名】 特許願

【整理番号】 H02015731

【提出日】 平成15年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/16

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 奥田 裕一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置とテスト方法

【特許請求の範囲】

【請求項 1】 1つの位置情報につき、 $m$ ビットの情報符号と  $n$ ビットの検査符号を格納する情報格納部と、

上記情報格納部に格納された情報符号及び検査符号から上記情報符号の誤りを  $x$  ビットまで訂正することのできる ECC 回路と、

上記情報格納部に格納された同一ビットのテスト用情報符号及び検査符号を受け、1つの位置情報につき上記  $x + 1$  ビット以上の不良をもって不良と判定するパラレルテスト回路とを備えてなることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 において、

上記情報格納部は、それぞれが独立にアクセス可能とされた複数個からなり、

上記パラレルテスト回路は、上記複数の情報格納部にそれぞれ対応して複数個設けられ、

上記 ECC 回路は、上記複数の情報格納部に対して共通に設けられ、

上記複数の情報格納部には、同一パターンにされたテスト用情報符号及び検査符号が格納され、

上記複数個のパラレルテスト回路は、テストモード時に同時に有効とされてそれぞれが上記  $x + 1$  ビット以上の不良をもって不良と判定しそれぞれを独立して出力させることを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 において、

$z > n$  の関係が成立する  $z$  ビットの情報入出力端子を持ち、

テストモードでの情報入力時、 $z$  ビットのうち  $n$  ビットの情報入力端子を  $n$  ビットの検査符号として上記情報格納部に書き込む事に使用し、残りの  $z - n$  ビット以下の情報入出力端子を上記情報記憶部の情報符号として書き込むことに使用する書き込み信号経路を備えてなることを特徴とする半導体記憶装置。

【請求項 4】 請求項 3 において、

上記テストモードでの情報入力時に使用した前記情報符号及び検査符号と情報入出力端子の割り当てに対応させて、上記情報格納部に格納された情報符号及び

検査符号をテストモードでの読み出しに使用する読み出し経路を備えてなることを特徴とする半導体記憶装置。

【請求項 5】 1つの位置情報につき、 $m$ ビットの情報符号と  $n$ ビットの検査符号を格納する情報格納部と、

上記情報格納部に格納された情報符号及び検査符号から上記情報符号の誤りを  $x$  ビットまで訂正することのできる ECC 回路を備え、

上記 ECC 回路を基準にして上記情報格納部において、上記検査符号の格納場所よりも上記情報符号の格納場所が高速に情報の入出力ができる位置に割り当てるようにしてなることを特徴とする半導体記憶装置。

【請求項 6】 1つの位置情報につき、 $m$ ビットの情報符号と  $n$ ビットの検査符号を格納する情報格納部と、

上記情報格納部に格納された情報符号及び検査符号から上記情報符号の誤りを  $x$  ビットまで訂正することのできる ECC 回路と、

上記情報格納部に格納された情報符号及び検査符号を受けるテスト回路とを備えた半導体記憶装置のテスト方法であって、

上記情報格納部に同一ビットにされたテスト用情報符号及び検査符号を格納し、上記格納されたテスト用情報符号及び検査符号を上記テスト回路に伝えて、1つの位置情報につき上記  $x + 1$  ビット以上の不良をもって不良と判定してなることを特徴とする半導体記憶装置のテスト方法。

【請求項 7】 請求項 6 において、

上記半導体記憶装置は、それぞれが独立にアクセス可能とされた複数個からなる情報格納部と、上記複数の情報格納部にそれぞれ対応した複数個のテスト回路と、上記複数の情報格納部に対応して共通に設けられ ECC 回路とを備え、

上記複数の情報格納部には、同一パターンにされたテスト用情報符号及び検査符号を格納し、テストモードときに上記複数個のテスト回路が同時に有効とされてそれぞれが上記  $x + 1$  ビット以上の不良をもって不良と判定しそれぞれを独立して出力させることを特徴とする半導体記憶装置のテスト方法。

【請求項 8】 請求項 6 において、

上記半導体記憶装置は、 $z > n$  の関係が成立する  $z$  ビットの情報入出力端子を

持ち、

テストモードでの情報入力時には上記  $z$  ビットのうち  $n$  ビットの情報入力端子を  $n$  ビットの検査符号として上記情報格納部に書き込む事に使用し、残りの  $z - n$  ビット以下の情報入出力端子を上記情報記憶部の情報符号として書き込むことに使用することを特徴とする半導体記憶装置のテスト方法。

【請求項 9】 請求項 8 において、

上記テストモードでの情報入力時に使用した、前記情報符号及び検査符号と情報入出力端子の割り当てに対応させ、上記情報格納部に格納された情報符号及び検査符号をテストモードでの読み出しに使用することを特徴とする半導体記憶装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置とそのテスト方法に関し、主として ECC 回路を搭載したダイナミック型ランダムアクセスメモリ装置とそのテスト容易化技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体メモリ装置に ECC 回路を搭載させ、1 ビットのハードエラーが含まれる場合であっても良品として使用しても問題ないことに着目し、エラーが無いかわしくは 1 ビットのエラーが発生しているか、又は 2 ビット以上のエラーが発生しているかを判定する手段を備えた半導体メモリ装置テスト方法及び半導体メモリ装置の例として、特開平 11-025689 号公報がある。

【特許文献 1】

特開平 11-025689 号公報

【発明が解決しようとする課題】

前記特許文献 1 に記載の記述では、ECC デコーダが正常であることを前提として、情報ビット及び検査ビットを 1 つの情報ビットとし、それにテスト用 ECC ジェネレータを付加し、ECC デコーダで形成された誤り訂正信号と、入力さ

れた情報ビットに対応した書き込みデータWD及び検査ビットとしてのテストデータTDとを比較して2ビット以上の不良を検出する。

#### 【0003】

このため、特許文献1の技術においては、ECCデコーダとしては通常動作に向けて情報ビットと検査ビットによりリードデータRDを形成するための回路と、テスト動作に向けて情報ビット+検査ビットを1つの情報ビットと見做して上記テスト用ECCジェネータで生成された検査ビットにより誤り訂正された情報ビット+検査ビットを形成する回路、及び上記テスト用ECCジェネータとが必要となる。その上に、テスト用に上記テストデータTDを入力するための入力回路、上記検査ビットを出力させるための出力回路も余分に必要となり、ECCデコーダ、テスト用ECCジェネータ及び入力回路と出力回路のようにテストのためにだけ使用される回路規模が大きくなり、それに伴って外部端子数も増加するという問題を有するとともに、ECCデコーダに不良があってもそれ正確に検出できない。また、不良個所を特定できないために、不良セルを予備セルに切り換えるという冗長回路を使用することができない。

#### 【0004】

さらに、大記憶容量を有するDRAMでは不良選別の時間を短縮するために、多数のビット(bit)を同時に試験するパラレルテストと呼ばれる試験法を採用することが一般的である。しかし前記特許文献1においては、テスト時間短縮化のためのパラレルテストには何ら配慮がなされておらず、そのままDRAMに適用した場合には、テスト時間に長時間を費やすこととなり、テストコストの上昇がそのまま製品価格に跳ね返ってしまうという問題も有する。

#### 【0005】

この発明の目的は、簡単な構成により高精度で効率的なテストが可能なECC搭載の半導体記憶装置とテスト方法を提供することにある。この発明の他の目的は、簡単な構成によりテスト時間の短縮化が可能なECC内蔵の半導体記憶装置とテスト方法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0006】

**【課題を解決するための手段】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。情報格納部に格納された $m$ ビットの情報符号と $n$ ビットの検査符号から上記情報符号の誤りを $x$ ビットまで訂正することのできるECC回路を備え、上記情報格納部に格納された同一ビットのテスト用情報符号及び検査符号を受け、上記 $x + 1$ ビット以上の不良をもって不良と判定するパラレルテスト回路を設ける。

**【0 0 0 7】**

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。情報格納部に格納された $m$ ビットの情報符号と $n$ ビットの検査符号から上記情報符号の誤りを $x$ ビットまで訂正することのできるECC回路と上記情報格納部に格納された情報符号及び検査符号を受けるテスト回路とを備えた半導体記憶装置のテスト方法であって、上記情報格納部に同一ビットにされたテスト用情報符号及び検査符号を格納し、上記格納されたテスト用情報符号及び検査符号を上記テスト回路に伝えて、1つの位置情報につき上記 $x + 1$ ビット以上の不良をもって不良と判定する。

**【0 0 0 8】****【発明の実施の形態】**

図1には、本発明に係るDRAMの一実施例の概略ブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、1つの半導体基板上において形成される。100は本発明におけるECCを採用したDRAMチップである。特に制限するものではないが、本発明ではDDR SDRAM規格の $\times 16$ 品チップであり、特に制限されないが、ECCは8ビットのデータ毎に4ビットのパリティを付加し1ビットの誤りを訂正することができるものが用いられる。

**【0 0 0 9】**

DRAMチップ100において、101\_\_0～101\_\_3はメモリマツト、102は行アドレスデコーダ、103は列アドレスデコーダ、104はコマンドデコーダ、105はレジスタ、106はパリティ生成回路、107はパラレルテス



トセクタ, 108はECCデコーダ, 109はパラレルテスト判定回路, 110\_\_0~110\_\_3は判定結果セクタ, 111\_\_0~111\_\_15はデータピン, 112はコマンド・アドレスピン, 113は疑似インディペンデント判定回路, 120は入出力バス, 121はパリティデータ, 122はグローバルI/Oバス, 123\_\_0~123\_\_3はメモリマツトセレクト信号, 124は行選択信号, 125は列選択信号, 126はコマンド・アドレス信号, 127\_\_0~127\_\_3はメインアンプ出力信号, 130はメモリテストのテストピンである。本来コマンド・アドレスピン112は多数のピンからなるが、この実施例では、特に区別する必要が無いため、1つに省略して示す。

#### 【0010】

図1におけるECCを採用したDRAMチップ100の書き込み動作は、次の1)~5)により行われる。

#### 【0011】

1) 行アドレス指定命令が行アドレス, メモリマツト選択信号とともにコマンド・アドレスピン112に入力される。

#### 【0012】

2) 行アドレスデコーダ102が行選択信号124を出力し、コマンドデコーダ104によって指定されたメモリマツトの指定された行が活性化される。

#### 【0013】

3) 書き込み命令が列アドレス, メモリマツト選択信号とともにコマンド・アドレスピン112に入力され、データピン111にデータが入力される。

#### 【0014】

4) 本DRAMチップ100はECCを採用しているため、入力された16ビットのデータから、8ビットのパリティデータ121がパリティ生成回路106で生成される。パラレルテストセクタ107はデータ16ビットとパリティ8ビットを選択し、グローバルI/O 122(24ビット)へ出力する。

#### 【0015】

5) 列アドレスデコーダ103が列選択信号125を出力する。コマンドデコーダ104によって指定されたメモリマツト内で、グローバルI/O 122の

データを列選択信号 125 にしたがってメモリセルに書き込む。

【0016】

図1におけるECCを採用したDRAMチップ100の読み出し動作は、次の1)～5)により行われる。

【0017】

1) 行アドレス指定命令が行アドレス、メモリマット選択信号とともにコマンド・アドレスピン112に入力される。

【0018】

2) 行アドレスデコーダ102が行選択信号124を出力し、コマンドデコーダ104によって指定されたメモリマットの指定された行が活性化し、メモリマット101内のセンスアンプにおいて各メモリセルの内容が増幅される。

【0019】

3) 書き込み命令が列アドレス、メモリマット選択信号とともにコマンド・アドレスピン112に入力される。

【0020】

4) 列アドレスデコーダ103が列選択信号125を出力する。コマンドデコーダ104によって指定されたメモリマット内で、メインアンプ出力信号から列選択信号125にしたがってデータを選択し、最終的にメインアンプで増幅された後、メインアンプ出力信号127がグローバルI/O 122へ出力される。

【0021】

5) 本DRAMチップ100はECCを採用しているため、メインアンプ出力はデータ16ビットにパリティ8ビットを加えた24ビットとなる。ECCデコーダ108において、エラーを訂正し16ビットデータとして入出力バス120を経由しデータピン111へ出力される。

【0022】

本DRAMチップ100はDDR SDRAMであるため、本来メインアンプ出力は2ワード分出力されて出力時に切り替えることで広帯域動作を可能にしている。また、1回の読み出し／書き込み動作では必ず複数ワード（一般的に2～8ワード／命令）を処理するが、ここでの説明ではそれらのことは省略してある

**【0023】**

以上のことを踏まえた上で、DRAMチップ100におけるパラレルテストの説明を行う。まずECCを採用していない場合の、パラレルテストについて説明する。基本的に、パラレルテストは多数のDRAMチップ100をメモリテストに接続し、同時にテストを行うことでテストコストを低減する技術である。メモリテストのテストピン130の数には制限があるため、1つのチップが何本のテストピン130を使用するかで、メモリテスト1台あたりの処理能力が決定する。そのためチップあたりのテストピン数を削減することは、テストコスト再現にとって重要である。各チップに与えるコマンド・アドレスは共通であるため、コマンド・アドレスピンに接続するテストピンは多数のチップで共用できるが、特にテスト結果を受け取るデータピンに接続するテストピンは各チップ個別に用意しなければならないため、データピンに接続するテストピンの削減はテストコスト削減効果が高い。

**【0024】**

本DRAMチップ100は図1に示した通り、 $\times 16$  I/O、4マット構成のメモリとなっている。このため、パラレルテストでは16ビット $\times 4 = 64$ ビットを同時にテストすることが一般的である。これにより、各チップ16本のデータピンに接続するテストピンが、4本に削減できる。単純計算で、メモリテストに接続できるチップ数は4倍となる。さらに4マット同時にテストすることで、1回あたりのテスト時間が $1/4$ になる。この2つの効果をあわせると、メモリテストの処理能力は16倍になり、テストコストの削減が大変大きいことがわかる。

**【0025】**

この実施例の前提となるパラレルテスト方法は、次の1～3)の手順に従って行われる。

**【0026】**

1) 規格では許可されていないコマンド等を用いて、パラレルテストモードに移行する。つまり、既存のSDRAMでは使用されていないビットパターンによ

りパラレルテストモードのコマンドが決められており、パラレルテストへの移行はコマンドデコーダ 1 0 4 においてデコードされ、パラレルテストを示すフラグをレジスタ 1 0 5 へ書き込む。他の回路はレジスタ 1 0 5 のフラグを参照し、パラレルテストモードとして動作する。

#### 【 0 0 2 7 】

2) データの書き込みを行う。ここで、データは 4 ビットのみ指定する。図 1 を見てわかる通り、データピン 1 1 1 \_\_ 0 ~ 1 1 1 \_\_ 1 5 のうちメモリテストのテストピン 1 3 0 が接続されているデータピンは 1 1 1 \_\_ 0, 1 1 1 \_\_ 4, 1 1 1 \_\_ 8, 1 1 1 \_\_ 1 2 の 4 つだけであり、他のデータピンは開放されている。この時後に行われる検証の都合上データピン 1 1 0 \_\_ 0, 1 1 0 \_\_ 4, 1 1 0 \_\_ 8, 1 1 0 \_\_ 1 2 上のデータは同一である。

#### 【 0 0 2 8 】

パラレルテストセクタ 1 0 7 はパラレルテストモードで動作していることを認識し、データピン 1 1 0 \_\_ 0 から入力されたデータを、ビット 0, 1, 2, 3 に割り当てる。同様にデータピン 1 1 0 \_\_ 4 から入力されたデータはビット 4, 5, 6, 7 に、データピン 1 1 0 \_\_ 8 から入力されたデータはビット 8, 9, 1 0, 1 1 に、データピン 1 1 0 \_\_ 1 2 から入力されたデータはビット 1 2, 1 3, 1 4, 1 5 に割り当てられる。この結果すべてのビットに同一のデータが書き込まれることとなる。

#### 【 0 0 2 9 】

次にコマンド・アドレスピン 1 1 2 であるが、コマンド及びアドレスは通常通りの操作となるが、メモリマット指定のみ通常動作とは違ってくる。通常動作では、指定されたメモリマットのみを活性化し、書き込み／読み出しを行うが、パラレルテストでの書き込みは 4 マット同時に活性化し、4 つのメモリマットの同一行、同一列のメモリセルに同一のデータを書き込む。そのためには、通常動作では 4 本のうち 1 本しか H i (ハイレベル) に遷移しないメモリマットセレクト信号 1 2 3 \_\_ 0 ~ 1 2 3 \_\_ 3 を、パラレルテスト時にはすべて H i に遷移することで 4 つのメモリマット 1 0 1 \_\_ 0 ~ 1 0 1 \_\_ 3 を活性化することができる。したがって、パラレルテスト時にはメモリマット指定は意味を成さず、メモリテス

タのテストピン130を接続せず開放にしておいて問題は無い。

### 【0030】

3) データの読み出しを行う。データの書き込み時と同様、4マット同時に読み出しを行う。各マットで全ビット同一のデータを書き込んでいるため、メモリセルに異常が無ければ同一のデータが読み出されるはずである。そのため、パラレルテスト判定回路109は全ビットが一致しているか不一致のビットがあるかを判定する。全ビットが一致であれば合格、1ビットでも不一致があった場合不合格の判定が下される。判定結果セクタ110\_\_0～110\_\_3はそれぞれ別のビットへ判定結果を出力し、他のビットは非選択とする。具体的には判定結果セクタ110\_\_0はビット0へ判定結果を出力し、110\_\_1はビット4へ、110\_\_2はビット8へ110\_\_3はビット12へ判定結果を出力する。

### 【0031】

4) その結果、メモリテストは各マットの判定結果を独立に受信することができる。すなわちメモリマット101\_\_0の判定結果をデータピン111\_\_0、メモリマット101\_\_1の判定結果をデータピン111\_\_4、メモリマット101\_\_2の判定結果をデータピン111\_\_8、メモリマット101\_\_3の判定結果をデータピン111\_\_12から受信する。不合格と判定された場合、該当するメモリマット、行、列において冗長救済を行う。冗長救済によって救済しきれなかったメモリは、不良品として破棄される。

### 【0032】

ここで、DRAMチップ100にECCを採用した本願発明に係るDRAMの場合を考える。基本的には各I/Oに16ビット、パリティビットに8ビット、4マット構成であるので、 $(8+4) \times 4 = 96$ ビット同時にパラレルテストすれば問題ない。すなわち書き込み時に、データピン110\_\_0から入力されたデータを、データビット0, 1, 2, 3及びパリティビット0, 1に割り当てる。同様にデータピン110\_\_4から入力されたデータはデータビット4, 5, 6, 7及びパリティビット2, 3に、データピン110\_\_8から入力されたデータはデータビット8, 9, 10, 11及びパリティビット4, 5に、データピン110\_\_12から入力されたデータはデータビット12, 13, 14, 15及びパリティ

ティビット 6, 7 に割り当てられる。読み出し時には、メインアンプ出力信号 127 の 24 ビットのうち、全ビット一致しているか、不一致ビットがあるかで判定を行う。

#### 【0033】

本願に係る DRAM においては、後述するごとく、ECC を採用する目的の一は、記憶データのリテンション不良への対応である。言い換えるならば、DRAM のリフレッシュ間隔（周期）の長時間化である。この場合、ECC 単位である 8+4 ビット中に、1 ビットの不良があった場合、良品として判定する必要がある。しかし前記のような、全ビット一致／不一致を判断するパラレルテストでは、1 ビット不良を不合格と判定してしまう。これを回避するには、パラレルテストを使用せずにすべてのビットをテストする方法が考えられるが、テストコストの増大を招き受け入れ難い。

#### 【0034】

そこで本発明では、ECC に対応したパラレル判定回路を採用する。リテンション不良を ECC によって救済するため、8+4 ビット中 1 ビットの不良にも合格判定を出す。そのためには全ビット一致のほかに、1 ビット不一致を検出し合格判定を出力するパラレル判定回路が必要となる。

#### 【0035】

図 2 には、この発明に係るパラレル判定回路の一実施例の回路図が示されている。同図には、6 ビット入力パラレル判定回路が示されている。200 は 6 ビット入力パラレル判定回路、201 は 6 ビット入力、202 は判定回路有効信号、203 は 1 ビット Hi（ハイレベル）判定出力、204 は 1 ビット Lo（ロウレベル）判定出力、205 は全ビット Lo（ロウレベル）出力、206 は全ビット Hi（ハイレベル）出力である。

#### 【0036】

詳細に説明すると、判定回路有効信号 202 が Hi 入力するとき、6 ビット入力パラレル判定回路 200 は 6 ビット入力 201 の判定を行う。6 ビット入力 201 が全ビット Hi であれば、全ビット Hi 判定出力 206 に Hi が出力され、他の出力は Lo を出力する。同様に、6 ビット入力 201 が全ビット Lo であれば

、全ビットL o判定出力205にH iが出力され、他の出力はL oを出力する。6ビット入力201のうち任意のビットがH iで残りのビットがL oであった場合、1ビットH i出力203がH iを他の出力がL oを出力する。同じく、6ビット入力201のうち任意のビットがL oで残りのビットがH iであった場合、1ビットL o出力204がH iを他の出力がL oを出力する。判定回路有効信号202がL o入力の場合、全ビットL o203出力がH iを出力し、他の出力はL oを出力する。他の入力パターンの場合、全出力がL oを出力する。

#### 【0037】

この6ビット入力パラレル判定回路200を利用し、パラレルテスト判定回路109を設計する。図3にパラレルテスト判定回路109の詳細を示す。301はECC救済有効信号、302はパラレルテスト判定結果信号である。なお、図3における判定回路有効信号202及びECC救済有効信号301はレジスタ105に書き込まれた値を入力しているが、簡略化のため図1においては省略してある。

#### 【0038】

判定回路有効信号202がH i入力である時、本パラレルテスト判定回路109は、メインアンプ出力信号127の一致／不一致を判定する。判定回路有効信号202がL o入力である場合、メインアンプ出力信号127の値に関わりなくH iを出力する。判定回路有効信号202がH iであり、ECC救済有効信号301がL oである場合、メインアンプ出力信号127の全ビットが一致していれば、パラレルテスト判定結果信号302はH iを出力する。メインアンプ出力信号127のうち1ビットでも不一致があった場合、パラレルテスト判定結果信号302はL oを出力する。

#### 【0039】

判定回路有効信号202がH iであり、ECC救済有効信号301がH iである場合、ECCにおよる救済を前提とした判定を行う。データ16ビット、パリティ8ビットの24ビット信号であるメインアンプ出力信号127はECC救済単位ごとに、データ8ビット、パリティ4ビットの12ビット信号に分割される。第1のECC救済単位はデータビット0～7及びパリティビット0～3からな

り、第2のECC救済単位はデータビット8～15及びパリティビット4～7からなる。パラレルテスト判定回路109は全ビット一致の場合Hiを出力することは言うまでもないが、全ビット中に1ビットの不一致がある場合、及び全ビット中に2ビットの不一致があり、且つそれぞれの不一致ビットが別のECC救済単位に存在する場合にもHiを出力する。他のビットパターンではLoを出力する。

#### 【0040】

第1のECC救済単位の信号は、6ビット入力パラレル判定回路200\_\_0, 200\_\_1へ入力され、第2のECC救済単位の信号は、6ビット入力パラレル判定回路200\_\_2, 200\_\_3へ入力される。それぞれ6ビット毎に判定を行い、各判定結果を組合せ回路で集計し最終的な判定結果であるパラレルテスト判定結果信号302として出力される。

#### 【0041】

次に、疑似インディペンデントパラレルテストの説明を行う。前記説明におけるパラレルテストでは全マット全ビットに同一のデータを書き込むため、データパターンに依存した不良を検出することができない。ここで、パラレルテストでは4本のメモリテストのテストピン130でデータの読み書きを行っている。これを利用して、パラレルテスト時にある程度のビットパターンをテストできるようにすることが、疑似インディペンデントテストである。

#### 【0042】

4本のメモリテストのテストピン130が各ビットに割り当てられるパターンはパラレルテストと同一であるが、書き込み時に1マットにしか書き込まないという点と、各メモリテストのテストピン130に任意のデータパターンを入力することが違っている。読み出し時は各メモリテストのテストピン130に割り当てられたビットの一致／不一致を、疑似インディペンデント判定回路113で判定する。全データピン111にテストピン130を接続する場合と比較して、データパターンが制限されることは言うまでもないが、パラレルテストで見逃していた不良を選別することが可能になる。

#### 【0043】



この疑似インディペンデントパラレルテストにECC救済判定を組み込むと、パラレルテストには無かった問題点が生ずる。例えば、データピン111\_\_0に割り当てられたビットはデータビット0～3，パリティビット0～1でありデータピン111\_\_4に割り当てられたビットはデータビット4～7，パリティビット2～3である。データピン111\_\_0に割り当てられたビットとデータピン111\_\_4に割り当てられたビットは違うデータが書き込まれている可能性があるため、独立に一致／不一致を判定する必要がある。ここで1ビットの不一致を合格と判定してしまうと、同一のECC救済単位に2ビットの不良ビットを合格判定としてしまう可能性がある。これを回避するしくみが、疑似インディペンデント判定回路113に必要である。

#### 【0044】

図4に疑似インディペンデント判定回路113の詳細図を示す。401は疑似インディペンデント判定回路有効信号、402\_\_0，402\_\_1は1ビット不良判定信号である。グローバルI/Oバス122のうち、データビット0～3，パリティビット0～1は6ビット入力パラレル判定回路200\_\_4へ入力される。同様にデータビット4～7，パリティビット2～3は6ビット入力パラレル判定回路200\_\_5へ、データビット8～11，パリティビット4～5は6ビット入力パラレル判定回路200\_\_6へ、データビット12～15，パリティビット6～7は6ビット入力パラレル判定回路200\_\_7へ入力される。

#### 【0045】

疑似インディペンデント判定回路有効信号401がLoであるとき、一致／不一致の判定は行われず出力はすべてHiZ（ハイインピーダンス）である。疑似インディペンデント判定回路有効信号401がHiであり、ECC救済有効信号301がLoである場合、各6ビット入力パラレル判定回路200\_\_4～200\_\_7において判定した、全ビットHi判定出力206及び全ビットLo判定出力205の論理和が出力されている。すなわち、各6ビット入力パラレル判定回路200\_\_4～200\_\_7において全ビット一致であればそれぞれの出力が合格の判定を出力する。

#### 【0046】

疑似インディペンデント判定回路有効信号 401 が H i であり、ECC 救済有効信号 301 が H i である場合、若干動作は複雑になる。6 ビット入力パラレル判定回路 200\_\_4 及び 6 ビット入力パラレル判定回路 200\_\_6 は、1 ビット H i 判定出力 203, 1 ビット L o 判定出力 204, 全ビット L o 出力 205, 全ビット H i 出力 206 の論理和をとり出力している。これにより、6 ビットにおいて全ビット一致もしくは 1 ビット不一致であれば合格の判定を出力する。

#### 【0047】

それに対し 6 ビット入力パラレル判定回路 200\_\_5 及び 6 ビット入力パラレル判定回路 200\_\_7 は、6 ビット入力パラレル判定回路 200\_\_4 及び 6 ビット入力パラレル判定回路 200\_\_6 の動作で出力結果が変化する。6 ビット入力パラレル判定回路 200\_\_5 は 6 ビット入力パラレル判定回路 200\_\_4 から 1 ビット不良判定信号 402\_\_0 を受け取っている。

#### 【0048】

6 ビット入力パラレル判定回路 200\_\_4 が 1 ビット不良を判定すると、122 [0] は合格判定を出力するが、同時に 1 ビット不良判定信号 402\_\_0 が L o となり、その場合 6 ビット入力パラレル判定回路 200\_\_5 の 1 ビット不良判定は不合格として判定される。これにより、各 ECC 救済単位で 1 ビットの不良という制限を守ることができる。6 ビット入力パラレル判定回路 200\_\_6, 6 ビット入力パラレル判定回路 200\_\_7 の動作は同様な動作を行い、ECC 救済単位で 1 ビットの不良という制限を守る。

#### 【0049】

また、ECC は ECC 救済単位を大きくすればするほど、パリティビットを少なくすることができる。例えば、128 ビットのデータに対して 1 ビットのエラーを訂正できる ECC を構成する場合、8 ビットのパリティビットを付加すれば良い。このような ECC を採用した DRAM チップでは、1 回の行アドレス、列アドレス指定を行うことで、少なくとも 128+8 ビットがメインアンプ出力として、メモリマットから出力される。よってパラレルテスト時に、4 マット同時に活性化する必要はなく、1 メモリマット内でパラレルテストを完結できる。

#### 【0050】

しかし、パラレルテストの結果を外部に出力する時に問題がおきる。ここまでの実施例と同様、冗長救済はデータ 16 ビット+パリティごとに行われ、メモリテストのテストピンはデータピン 4 本に接続されとする。すなわちこの場合、アクセス 1 回につき、データ 64 ビット分のテスト結果しか出力できない事になる。そのため、128+8 ビットを 2 回に分けて、テストする事になる。

#### 【0051】

図 5 に 128+8 ビット ECC を採用した場合のパラレルテスト判定回路 500 を示す。501\_\_0～501\_\_3 は 17 ビット入力パラレル判定回路、502 は切り替え器、503 はレジスタ、504 はメインアンプ出力、505 はアドレス切り替え信号、506 はパラレルテスト入力信号、507 はレジスタ出力、508\_\_0～508\_\_3 は 1 ビット不良フラグ、509 はテスト判定信号である。

#### 【0052】

128+8 ビット ECC を採用した場合における、パラレルテストの実施方法を以下の 1)～5) 示す。

#### 【0053】

1) パラレル書き込みは、1 マット 128+8 ビット単位で書き込む以外は、前記のものと大差無い。テスト時間短縮のために、4 マット同時に書き込んでも良い。

#### 【0054】

2) 読み出し時、行アドレス及び列アドレスが指定されると、128+8 ビットのメインアンプ出力 504 が得られる。列アドレスの最下位ビットはアドレス切り替え信号 505 としてパラレルテスト判定回路 500 に入力されている。ここで、1 回目の列アドレスの最下位は 0 が指定されているものとする。アドレス切り替え信号 505 が 0 である時、レジスタ 503 はリセットされ論理 0 が出力される。

#### 【0055】

3) アドレス切り替え信号 505 が論理 0 であるので、メインアンプ出力 504 の下位 68 ビットが、切り替え器 502 で選択され、17 ビット毎に 17 ビット入力パラレル判定回路 501 へ入力される。

**【0056】**

4) 17ビット入力パラレル判定回路501\_\_0は、17ビット全ビット一致であった場合、レジスタ出力507の値に関わらず、テスト判定信号509\_\_0へ合格判定を出力する。1ビット不一致があった場合、レジスタ出力507の値を見て、レジスタ出力507の値が論理0だったなら合格判定を、論理1だったなら不合格判定をテスト判定信号509\_\_0へ出力する。2ビット以上の不良が生じた場合、レジスタ出力507の値に関わらず、テスト判定信号509\_\_0へ不合格判定を出力する。1ビット不良フラグ出力508\_\_0へはレジスタ出力507が論理1だったなら論理1を、1ビット不良だった場合も論理1を、それ以外のなら論理0を出力する。

**【0057】**

5) 以下17ビット入力パラレル判定回路501\_\_1～501\_\_3は、前段の1ビット不良フラグ出力508\_\_0～508\_\_2を見つつ、合否を判定する。17ビット入力パラレル判定回路501\_\_3の1ビット不良出力はレジスタ出力507に格納され、アドレス切り替え信号505が論理1に切り替わった時出力される。

**【0058】**

6) 次に列アドレスの最下位ビットが1に切り替わる。この時メインアンプは動作しない。アドレス切り替え信号505が1であるので、メインアンプ出力504の上位68ビットが、切り替え器502で選択され、17ビット毎に17ビット入力パラレル判定回路501へ入力される。

**【0059】**

7) 以下アドレス切り替え信号505が論理0の時と同様に合否判定が行われるが、17ビット入力パラレル判定回路501\_\_0の判定のみ、レジスタにアドレス切り替え信号505が論理0の時の1ビット不良フラグ508\_\_3の値が格納されており、この値にしたがって合否判定を行う。

**【0060】**

8) 以上のように、1ビット不良フラグ508を次々に次段に伝達することで、128+8ビット中に1ビットの不良のみを許容するという条件が守られる。

なお、このような方法では1ビット不良が許容されるか冗長救済されるかの確率に偏りが生じるが、128+8ビット中に1ビット不良が複数生じる可能性は低く実質上問題にならない。

#### 【0061】

ここまでの説明をまとめると、以下のようになる。ECC救済単位  $n$  が冗長救済単位  $m$  及びパラレルテスト判定単位  $p$  よりも小さい場合 ( $n < m$  and  $n < p$ )、ECC単位ごとに1ビット不良を許容する条件で判定を行い、それに従い冗長救済単位の合否判定を行う。逆にECC救済単位  $n$  が冗長救済単位  $m$  よりも大きい、もしくはパラレルテスト判定単位  $p$  よりも大きい場合 ( $n > m$  or  $n > p$ )、冗長救済単位もしくはパラレルテスト判定単位ごとに全ビット合格、1ビット不良、2ビット以上不良を判定し、他の個所で1ビット不良が検出された場合、ECC救済単位内の不良数が1ビットを超えないように判定結果を出力する。ECC救済単位が複数アドレスにまたがる場合、1ビット不良フラグをレジスタに格納しておき、別アドレスでの合否判定で参照すれば良い。

#### 【0062】

以上の実施例では、ECCは1ビット不良を訂正するものであったが、ECCの構成法によっては、2ビット以上の不良を訂正することもできる。ここで、 $m$  ビットの不良を訂正することができるECCを採用し、ECC救済単位内で  $n$  ビットの不良までを良品として判定することにする ( $m \geq n$ )。この場合においても、基本的な考えはこれまでと同様で、1ビットの不一致を合格としていたものを  $n$  ビットの不一致を合格にすれば良い。ECC救済単位  $n$  が冗長救済単位  $m$  よりも大きい、もしくはパラレルテスト判定単位  $p$  よりも大きい場合においても、1ビット不良フラグを複数ビットに拡張し、不良ビット数を積算して  $n$  を超えないように判定結果を変化させれば良い。

#### 【0063】

この実施例では、ECCへの対応をDRAMチップ内部で処理し、外部から見た場合ECCが無い場合と戴さないようにしてきた。しかし、DRAMの出力はトライステートであり、メモリテストもトライステートを判定することができるものが一般的である。そのため、全ビット合格を  $H_i$  出力、1ビット不良を  $H_i$

Z出力(ハイインピーダンス出力), 2ビット以上不良をLo出力とするなどして、冗長救済をどう行うかは外部のプログラムに任せるという方法としてもよい。

#### 【0064】

以上の説明は主にパラレルテストに関するものであった。しかし、パラレルテストは出荷前に不良チップをふるいにかけるもので、設計ミス进行调查する時にはもっと詳細なテストを行う必要がある。ECCを採用している場合、内部の不良が隠蔽されるため設計ミス进行调查する時の妨げとなる。そのため、ECCを採用するDRAMはECCを介さずにデータビット及びパリティビットを操作することができると都合が良い。以後の論議を簡略化するために、基本的なデータの流れを図6に従って解説する。

#### 【0065】

図6はデータの流れを図示したものであり、必ずしも実際の信号線の接続とは一致しないことに注意する。入力データ603\_\_0～603\_\_15は、入力されてメモリセル601\_\_0～601\_\_15へ格納される。また、入力データ603\_\_0～603\_\_15よりパリティ生成回路により、パリティが生成されメモリセル602\_\_0～602\_\_7へ格納される。

#### 【0066】

データの読み出しは、メモリセル601\_\_0～601\_\_15及び602\_\_0～602\_\_7に格納されたデータ、パリティから、ECCデコーダ108において、誤り訂正が行われ出力データ604\_\_0～604\_\_15として出力される。

#### 【0067】

ここで注意しなければならないのは、メモリセル602\_\_0～602\_\_7に格納されたパリティは、パリティ生成回路106によって内部生成されるため不可制御であり、メモリセル601\_\_0～601\_\_15, 602\_\_0～602\_\_7はECCデコーダ108において誤り訂正が行われるため、不可観測であるということである。そのため、内部回路の調査が非常に困難になっている。これを回避するために、すべてのメモリセルを可制御・可観測にする。なお、データ用メモリセル601\_\_0～601\_\_15を可観測にするのは、ECCデコーダ108で

誤り訂正を行わなければよく、一般的に用いられる技術である。

#### 【0068】

まず、パリティ用メモリセル602\_\_0～602\_\_7を可制御にするため、図7のような信号線の接続を行う。入力603\_\_4～603\_\_11を、パリティ用メモリセル602\_\_0～602\_\_7へ割り当てる。これだけであれば、ECCを採用した記憶素子一般で行われているが、さらに接続に工夫を加える。すなわち、パリティ用メモリセル602\_\_0～602\_\_7に入力603\_\_4～603\_\_11を接続するだけでは、データ用メモリセル601\_\_4～601\_\_11がDon't careになってしまう。一般的には入力603\_\_4～603\_\_11を接続したままとするか、データ用メモリセル601\_\_0～601\_\_15にまったくデータを書き込まないようにする。

#### 【0069】

ここで本発明では、データ用メモリセル601\_\_4～601\_\_7に入力603\_\_12～603\_\_15を、データ用メモリセル601\_\_8～601\_\_11に入力603\_\_0～603\_\_3を割り当てる。このようにすることによって、ECC救済単位のメモリセル601\_\_0～601\_\_7+602\_\_0～602\_\_3に、任意のビットパターンを割り当てることができる。メモリセル601\_\_8～601\_\_15+602\_\_4～602\_\_7も同様である。これにより、ECCデコード108への入力を任意に与えることができ、デバッグ作業の効率化につながる。なお、データの接続変更は、図1におけるパラレルテストセクタ内で行われる。

#### 【0070】

次に、パリティ用メモリセル602\_\_0～602\_\_7を可観測にするため、図8にのような信号線の接続を行う。パリティ用メモリセル602\_\_0～602\_\_7を出力604\_\_4～604\_\_11へ接続し、データ用メモリセル601\_\_0～601\_\_3を出力604\_\_0～604\_\_3へ、データ用メモリセル601\_\_12～601\_\_15を出力604\_\_12～604\_\_15へ接続する。

#### 【0071】

パリティ用メモリセル602\_\_0～602\_\_7を可観測にするだけであれば、単純に出力に接続すれば良いが、このようにパリティ用メモリセルのみならず、

データ用メモリセルも接続するのは以下のような理由による。すなわち、図7に示したパリティ用メモリセル602\_\_0～602\_\_7を可制御にするための接続方法の入力側と、本パリティ用メモリセル602\_\_0～602\_\_7を可観測にするための接続方法の出力側を同時に使用すると、このDRAMは単純なECCを採用していないDRAMと見ることができる。この事は、メモリセルのチェックを行うためのメモリテストのプログラムを変更しなくても良いということであり。デバッグ作業の大幅な効率化を行うことができる。

#### 【0072】

図9にDRAMチップ100のレイアウト例を示す。図9のようにメモリアレイ101\_\_0～101\_\_4を四隅に配置し、周辺回路を中央部に配置するというのは、DRAMチップ設計の基本である。このように配置するので、DRAMチップ100読み出し時のデータの流れは図9中の矢印のようになる。

#### 【0073】

DRAMチップ100はECCを採用しているため。特に読み出し時の速度低下が問題となる。そこで、メモリアレイ101\_\_0～101\_\_4をデータ部とパリティ部に分け、データの流れが遅くなる位置にパリティを配置する。図9の例では901の部分にデータを配置し、902の部分にパリティを配置する。ECCのアルゴリズムは省略するが、ECCにおいてクリティカルパスは、データの流れであり、パリティは若干遅れてもアクセス速度の低下は起こらないため、このように配置すると全体のアクセス速度が速くなる。この例では各メモリアレイ101\_\_0～101\_\_4を左右に分割したが、分割方法によらず、データの速度によることは明らかである。

#### 【0074】

図10には、この発明に係るダイナミック型RAM（以下、単にDRAMという）の一実施例の全体ブロック図が示されている。この実施例のDRAMは、SDRAM(Synchronous Dynamic Random Access Memory)に向けられている。この実施例のSDRAMは、特に制限されないが、4つのメモリバンク(BANK)に対応して4つのメモリアレイ(MEMORY ARRAY)1200A～1200Dが設けられる。同図では、そのうち2つのメモリアレイ1200Aと1200Dが代表として



例示的に示されている。4つのメモリバンク0～3にそれぞれ対応されたメモリアレイ1200A～1200Dは、それぞれがマトリクス配置されたダイナミック型メモリセルを備え、同図のメモリアレイの縦方向に配置されたメモリセルの選択端子はワード線（図示せず）に結合され、横方向に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

#### 【0075】

上記メモリアレイ1200Aの図示しないワード線は行（ロウ）デコーダ(ROW DEC) 1201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。行デコーダ1201Aは、上記デコード結果に従って1本のワード線を選択レベルするワードドライバ(WORD DRIVER) も含まれる。メモリアレイ1200Aの図示しない相補データ線はセンスアンプ (SENSE AMP) 1203A及びカラム選択回路としてのI/Oゲート回路 (I/O GATE) 1204Aと列（カラム）デコーダ(COLUMN DEC) 1205Aによって入出力線（I/O線）に結合される。上記I/Oゲートにはメインアンプ及びライトアンプが含まれる。

#### 【0076】

センスアンプ1202Aは、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるI/Oゲート回路1204Aは、上記相補データ線を各別を選択して相補I/O線に導通させるためのスイッチMOSFETを含む。カラムスイッチMOSFETはカラムデコーダ1205Aによるカラムアドレス信号のデコード結果に従って選択動作される。

#### 【0077】

図示しないメモリアレイ1200Bないし1200Cも同様に、ロウデコーダ1201B～C、センスアンプ1203B～C及びI/Oゲート回路1203B～Cとカラムデコーダ1205B～Cが設けられる。上記I/O線は各メモリバンクに対して共通化されて、データ入力回路(DIN BUFFER) 1210の出力端子及びデータ出力回路 (DOUT BUFFER) 1211の入力端子に接続される。端子D0～D7は、特に制限されないが、8ビットからなるデータD0～D7を入力又は出力するデータ入出力端子とされる。

## 【0078】

アドレス入力端子から供給されるアドレス信号A0～A14は、アドレスレジスタ (ADD REG) 1213で一旦保持され、時系列的に入力される上記アドレス信号のうち、メモリセルを選択するロウ系アドレス信号はロウアドレスマルチプレクサ (ROW ADD MUX) 1206を介して、各メモリバンクのロウデコーダ1201A～Dに供給される。上記メモリバンクを選択するアドレス信号は、A13とA14が割り当てられており、バンクコントロール(BANK CNL)回路1212に供給され、ここで上記4つのメモリバンクの選択信号が形成される。カラム系アドレス信号はカラムアドレスカウンタ (COLUMN ADD CNT) 1207に保持される。リフレッシュカウンタ(REF CNT) 1208は、オートマチックリフレッシュ (Automatic Refresh)の行アドレス及びセルフリフレッシュ (Self Refresh)時の行アドレスと列アドレスを発生する。

## 【0079】

例えば、256Mビットのような記憶容量を持つ場合、カラムアドレス信号としては、×8ビット構成ではアドレス信号A10までが有効とされる。上記カラムアドレスカウンタ1208には、前記時系列に入力されるカラムアドレス信号がプリセットデータとして供給され、後述のコマンドなどで指定されるバーストモードにおいて上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、各メモリバンクのカラムデコーダ1205A～1205Dに向けて出力する。

## 【0080】

コントロールロジック (CONTROL LOGIC) 1209は、コマンドデコーダ (COMMAND DEC) 12091、リフレッシュコントロール (REF CONTROL) 12092及びモードレジスタ (MODE REG) 12093を有する。モードレジスタ12092は、各種動作モード情報を保持する。上記ロウデコーダ1201AないしDは、バンクコントロール回路1212で指定されたバンクに対応したもののみが動作し、ワード線の選択動作を行わせる。

## 【0081】

コントロール回路1209は、特に制限されないが、クロック信号CLK、ク

ロックイネーブル信号 C K E、チップセレクト信号 / C S（記号 / はこれが付された信号がロウイネーブルの信号であることを意味する）、カラムアドレスストロブ信号 / C A S、ロウアドレスストロブ信号 / R A S、及びライトイネーブル信号 / W E などの外部制御信号と、D Q M とモードレジスタ 1 2 0 9 3 を介したアドレス信号とが供給され、それらの信号のレベルの変化やタイミングなどに基づいて S D R A M の動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、それぞれに信号に対等した入力バッファを備える。

#### 【 0 0 8 2 】

他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号 / C S はそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号 / C S がハイレベルのとき（チップ非選択状態）やその他の入力の意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。 / R A S、 / C A S、 / W E の各信号は通常の D R A M における対応信号とは機能が相違し、後述するコマンドサイクルを定義するときには有意の信号とされる。

#### 【 0 0 8 3 】

クロックイネーブル信号 C K E は次のクロック信号の有効性を指示する信号であり、当該信号 C K E がハイレベルであれば次のクロック信号 C L K の立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。なお、リードモードにおいて、データ出力回路 1 2 1 1 に対するアウトプットイネーブルの制御を行う外部制御信号 / O E を設けた場合には、かかる信号 / O E もコントロール回路 1 2 0 9 に供給され、その信号が例えばハイレベルのときにはデータ出力回路 1 2 1 1 は高出力インピーダンス状態にされる。

#### 【 0 0 8 4 】

上記ロウアドレス信号は、クロック信号 C L K（内部クロック信号）の立ち上がりエッジに同期するロウアドレスストロブ・バンクアクティブコマンドサイクルにおける A 0 ～ A 1 2 のレベルによって定義される。

## 【0085】

アドレス信号A13とA14は、上記ロウアドレスストロブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A13とA14の組み合わせにより、4つのメモリバンク0～3のうちの1つが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみのデータ入力回路1210及びデータ出力回路への接続などの処理によって行うことができる。

## 【0086】

SDRAMにおいては、1つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストロブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。したがって、例えば8ビットからなるデータ入出力端子においてデータD0～D7が衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストロブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

## 【0087】

なお、図示しないが内部電源発生回路が設けられ、電源端子から供給されたVCCとVSSのような動作電圧を受けてワード線を選択レベルに対応した内部昇圧電圧VPP、センスアンプの動作電圧に対応した内部降圧電圧VDL、周辺回路の動作電圧に対応した内部降圧電圧VPERIの他、図示しないがメモリセルのプレート電圧、VDL/2のようなプリチャージ電圧、基板バックバイアス電圧VBBのような各種内部電圧を発生させる。

## 【0088】

この実施例のDRAMでは、前記説明したようなECC回路1214がDRAMチップ内に設けられる。つまり、前記同様な4つのメモリバンク1200A～1200Dに対して、上記ECC回路1214が共通に用いられ、入力回路12

10から入力された書き込みデータに対して検査ビットを生成して書き込みデータとともに選択されたメモリバンクに書き込まれる。読み出し動作のときは、選択されたメモリバンクからデータ及び検査ビットを読み出して誤り検出訂正を行ったデータを出力回路1211を通して出力させる。

#### 【0089】

図11には、この発明に係るDRAMの一実施例の回路図が示されている。同図においては、センスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された回路図が例示的に示されている。この実施例は、センスアンプを中心にして一对の相補ビット線が折り返して平行に延長されるといういわゆる2交点方式に向けられている。同図においては、ワード線はメインワード線MWLとサブワード線SWLからなり、入出力線はローカル入出力線LIOとメイン入出力線MIOからなるようにそれぞれ階層構造とされる。2つのサブアレイ15に上下から挟まれるようにされたセンスアンプ16と交差エリア18に設けられる回路が例示的に示され、他はブロック図として示されている。

#### 【0090】

ダイナミック型メモリセルは、上記1つのメモリマット15に設けられたサブワード線SWLと、相補ビット線BL、BLBのうちの一方のビット線BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線BLに接続され、ソースに記憶キャパシタCsが接続される。記憶キャパシタCsの他方の電極は共通化されてプレート電圧VPLTが与えられる。上記MOSFETQmの基板（チャンネル）には負のバックバイアス電圧VBBが印加される。特に制限されないが、上記バックバイアス電圧VBBは、-1Vのような電圧に設定される。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧VPPとされる。

#### 【0091】

センスアンプを内部降圧電圧VDLで動作させるようにした場合、センスアン

プにより増幅されてビット線に与えられるハイレベルは、上記内部電圧  $V_{DL}$  レベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧  $V_{PP}$  は  $V_{DL} + V_{th} + \alpha$  にされる。センスアンプの左側に設けられたサブアレイの一对の相補ビット線  $BL$  と  $BLB$  は、同図に示すように平行に配置される。かかる相補ビット線  $BL$  と  $BLB$  は、シェアードスイッチ  $MOSFET Q1$  と  $Q2$  によりセンスアンプの単位回路の入出力ノードと接続される。

#### 【0092】

センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされた  $N$  チャンネル型の増幅  $MOSFET Q5$ 、 $Q6$  及び  $P$  チャンネル型の増幅  $MOSFET Q7$ 、 $Q8$  からなる  $CMOS$  ラッチ回路で構成される。 $N$  チャンネル型  $MOSFET Q5$  と  $Q6$  のソースは、共通ソース線  $CSN$  に接続される。 $P$  チャンネル型  $MOSFET Q7$  と  $Q8$  のソースは、共通ソース線  $CSP$  に接続される。上記共通ソース線  $CSN$  と  $CSP$  には、それぞれパワースイッチ  $MOSFET$  が接続される。

#### 【0093】

特に制限されないが、 $N$  チャンネル型の増幅  $MOSFET Q5$  と  $Q6$  のソースが接続された共通ソース線  $CSN$  には、特に制限されないが、上記クロスエリア 18 に設けられた  $N$  チャンネル型のパワースイッチ  $MOSFET Q14$  により接地電位に対応した動作電圧が与えられる。同様に上記  $P$  チャンネル型の増幅  $MOSFET Q7$  と  $Q8$  のソースが接続された共通ソース線  $CSP$  には、上記内部電圧  $V_{DL}$  を供給する  $N$  チャンネル型のパワー  $MOSFET Q15$  が設けられる。上記のパワースイッチ  $MOSFET$  は、各単位回路に分散して設けるようにしてもよい。

#### 【0094】

上記  $N$  チャンネル型のパワー  $MOSFET Q14$  と  $Q15$  のゲートに供給されるセンスアンプ用活性化信号  $SAN$  と  $SAP$  は、センスアンプの活性時にハイレベルにされる同相の信号とされる。信号  $SAP$  のハイレベルは昇圧電圧  $V_{PP}$  レベルの信号とされる。昇圧電圧  $V_{PP}$  は、 $V_{DL}$  が  $1.8V$  のとき、約  $3.6V$  にされるので、上記  $N$  チャンネル型  $MOSFET Q15$  を十分にオン状態にして

共通ソース線CSPを内部電圧VDLレベルにすることができる。

#### 【0095】

上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFETQ11と、相補ビット線にハーフプリチャージ電圧VBLRを供給するスイッチMOSFETQ9とQ10からなるプリチャージ（イコライズ）回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共通にプリチャージ信号PCBが供給される。このプリチャージ信号PCBを形成するドライバ回路は、図示しないが、上記クロスエリアにインバータ回路を設けて、その立ち上がりや立ち下がりを高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリアに分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFETQ9～Q11を高速に切り替えるようにするものである。

#### 【0096】

上記クロスエリア18には、IOスイッチ回路IOSW（ローカル入出力線LIOとメイン入出力線MIOを接続するスイッチMOSFETQ19，Q20）が置かれる。さらに、前記説明したようにセンスアンプのコモンソース線CSPとCSNのハーフプリチャージ回路、ローカル入出力線LIOのハーフプリチャージ回路、メイン入出力線のVDLプリチャージ回路、シェアード選択信号線SHRとSHLの分散ドライバ回路等も設けられる。

#### 【0097】

センスアンプの単位回路は、シェアードスイッチMOSFETQ3とQ4を介して図下側のサブアレイ15の同様な相補ビット線BL，BLBに接続される。例えば、上側のサブアレイのサブワード線SWLが選択されたときには、センスアンプの上側シェアードスイッチMOSFETQ1とQ2はオン状態に、下側シェアードスイッチMOSFETQ3とQ4とがオフ状態にされる。スイッチMOSFETQ12とQ13は、カラム（Y）スイッチ回路を構成するものであり、上記選択信号YSが選択レベル（ハイレベル）にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線LIO1とLIO1B、LIO2，LIO2B等とを接続させる。

## 【0098】

これにより、センスアンプの入出力ノードは、上記上側の相補ビット線BL、BLBに接続されて、選択されたサブワード線SWLに接続されたメモリセルの微小信号を増幅し、上記カラムスイッチ回路(Q12とQ13)を通してローカル入出力線LIO1、LIO1Bに伝える。上記ローカル入出力線LIO1、LIO1Bは、上記センスアンプ列に沿って、つまり、同図では横方向に延長される。上記ローカル入出力線LIO1、LIO1Bは、クロスエリア18に設けられたNチャンネル型MOSFETQ19とQ20からなるIOスイッチ回路を介してメインアンプ61の入力端子が接続されるメイン入出力線MIO、MIOBに接続される。

## 【0099】

上記IOスイッチ回路は、X系のアドレス信号を解読して形成された選択信号よりスイッチ制御される。なお、IOスイッチ回路は、上記Nチャンネル型MOSFETQ19とQ20のそれぞれにPチャンネル型MOSFETを並列に接続したCMOSスイッチ構成としてもよい。シンクロナスDRAMのバーストモードでは、上記カラム選択信号YSがカウンタ動作により切り換えられ、上記ローカル入出力線LIO1、LIO1B及びLIO2、LIO2Bとサブアレイの二対ずつの相補ビット線BL、BLBとの接続が順次に切り換えられる。

## 【0100】

アドレス信号Aiは、アドレスバッファ51に供給される。このアドレスバッファは、時分割的に動作してXアドレス信号とYアドレス信号を取り込む。Xアドレス信号は、プリデコーダ52に供給され、メインローデコーダ11とメインワードドライバ12を介してメインワード線MWLの選択信号が形成される。上記アドレスバッファ51は、外部端子から供給されるアドレス信号Aiを受けるものであり、外部端子から供給される電源電圧VDD(又はVCC)により動作させられ、上記プリデコーダは、それを降圧した降圧電圧VPERIにより動作させられ、上記メインワードドライバ12は、昇圧電圧VPPにより動作させられる。このメインワードドライバ12として、上記プリデコード信号を受けるレベル変換機能付論理回路が用いられる。カラムデコーダ(ドライバ)53は、上



記VCLP発生回路を構成するMOSFETQ23により動作電圧が形成される駆動回路を含み、上記アドレスバッファ51の時分割的な動作によって供給されるYアドレス信号を受けて、上記選択信号YSを形成する。

#### 【0101】

上記メインアンプ61は、前記降圧電圧VPERIにより動作させられ、外部端子から供給される電源電圧VDDで動作させられる出力バッファ62を通して外部端子Dout から出力される。外部端子Dinから入力される書き込み信号は、入力バッファ63を通して取り込まれ、同図においてメインアンプ61に含まれるライトアンプ（ライトドライバ）を通して上記メイン入出力線MIOとMIOBに書き込み信号を供給する。上記出力バッファ62の入力部には、レベル変換回路とその出力信号を上記クロック信号に対応したタイミング信号に同期させて出力させるための論理部が設けられる。

#### 【0102】

コンピュータシステムの主記憶装置として、半導体を用いたダイナミック型ランダムアクセスメモリ（DRAM）が一般的に使用されている。DRAMは他の半導体記憶装置と比較して、集積度が高く、比較的高速に情報の読み書きができるという利点がある。しかし、DRAMの問題点として、記憶を保持できる時間が極めて短く（通常数10ms～1s程度）、リフレッシュと呼ばれる記憶を更新する作業を頻繁に行わなければならない。リフレッシュ動作中は、情報の読み書きが不可能であるため、リフレッシュ動作はDRAMにおける情報を読み書きする速度を制限する。

#### 【0103】

基本的にDRAMにおける情報の位置を、行アドレスと列アドレスで指定する。DRAMの集積度が1世代進むと行アドレスが2倍に、列アドレスが2倍になり、容量が4倍になる。記憶のリフレッシュは行アドレス指定で行われたため、世代が1世代進む毎に、リフレッシュの回数は2倍になる。よって従来は、世代を1世代進める毎に、リフレッシュ間隔tREFを2倍に伸ばすことで、単位時間あたりのリフレッシュにかかる時間を一定に保ってきた。単位時間あたりのリフレッシュ時間をビジー率（ $\gamma$ ）と言い、式1で示される。

【0104】

【式1】

$$\gamma = \frac{tRC_{min} \times n}{t_{REF}}$$

【0105】

DRAMの集積度が進むということは、記憶の保持に使用されるメモリセルの面積が縮小するということである。メモリセルが縮小するとキャパシタ容量が減少し、基本的に記憶保持時間が短くなる。従来はメモリセルの立体化（スタックトキャパシタ、トレンチキャパシタ等）、絶縁膜の薄膜化、高誘電体材料の使用などでキャパシタ容量を増加する試みが行われてきた。

【0106】

しかし、メモリセルの立体化は、プロセスの複雑化による価格の上昇を招く。絶縁膜の薄膜化は、一定以上の薄膜化を進めると電子の量子効果により漏れ電流が増加するため、一定以上の薄膜化は逆効果となってしまう。高誘電体材料は半導体プロセスに適用できる誘電体材料が限られており、困難である。

【0107】

これらの理由により、 $t_{REF}$ の増加が年々困難になってきている。事実、64MビットのSDRAMの $t_{REF}$ 規格は64msであるのに対し、256MビットのSDRAMの $t_{REF}$ 規格は64msとなっている。前記の通り、ビジー率の悪化を防ぐためには、世代の交代において $t_{REF}$ は2倍にしなければならない。このトレンドに乗れば、256MビットSDRAMの $t_{REF}$ は128msとなるはずであり、この事からも $t_{REF}$ を増加する試みが限界に達しつつあることが推測できる。

【0108】

$t_{REF}$ を超えてリフレッシュ間隔を伸ばした場合、すべてのメモリセルが同時に、記憶保持ができなくなるわけではない。むしろ1チップ中、数ビットの欠けから徐々に不良ビットが増加していくものである。よって数ビットの誤りを隠蔽することができれば、実質的に $t_{REF}$ を増加させることができる。

【0109】

そこで、現在主要なDRAM製品であるSDRAM及びDDR SDRAM (DDR: Double Data Rate) は、情報の入出力端子が8本存在する×8と呼ばれるものが主である。8ビットの情報に対し4ビットの検査符号を付加することで、12ビット(8+4ビット)中1ビットの誤りを訂正するECCを搭載することにより、実質的にtREFを増加させることができる。構成することができる。tREFを制限する記憶保持時間が短いメモリセルは、比較的散らばって存在するため、上記12ビット中に2ビット以上記憶保持時間が短いメモリセルが存在する可能性は極めて低いため、前記のようにtREFを増加することが容易になる。

#### 【0110】

以上説明した本願発明においては、1) パラレルテスト時、合否判定を全ビット一致だけではなく、1ビットの不一致も合格と判定することで、ECCによって不良ビットを救済することを前提としたパラレルテストを行うことができる。2) パリティビットに外部から直接データを書き込むテストを実行する時、パリティビットのみならずデータビットにもデータを割り当てることで、ECCデコードのテストを簡単に実行することができる。3) パリティビットを直接読み出すテストを実行する時、パリティビット及びデータビットの割り当てをパリティビットに外部から直接データを書き込むテストと同一にすることで、パリティビットの検査時も、一般的なDRAMとして操作することができる。4) メモリアレイ内の配置において、パリティビット領域をデータ領域よりも読み出し時間が遅い領域に配置することで、DRAMチップ全体のアクセス速度を向上させることができる。

#### 【0111】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えばECCの構成は8+4に限らず16+5, 32+6, 64+7等さまざまな方式が考えられるが、基本的な考え方は本特許によって開示されている。また、パラレルテストも、全ビット同一のデータを書き込むだけではなく、チップ内部で生成されたデータパターンを書き込み

、読み出し時には同じくチップ内部で生成されたデータパターンと比較して合否を判定する場合がある。この場合でも 1 ビット不一致を合格にするという本発明の基本的な考え方が変わるわけではなく応用することが可能である。この発明は、DRAM の他、スタティック型 RAM、フラッシュメモリのような不揮発性記憶装置のように書き込みと読み出しとが行われる半導体記憶装置とそのテスト方法に広く利用できる。

#### 【0112】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。情報格納部に格納された  $m$  ビットの情報符号と  $n$  ビットの検査符号から上記情報符号の誤りを  $x$  ビットまで訂正することのできる ECC 回路を備え、上記情報格納部に格納された同一ビットのテスト用情報符号及び検査符号を受け、上記  $x + 1$  ビット以上の不良をもって不良と判定するパラレルテスト回路を設けることにより、簡単な構成で高精度で効率的なテストが可能な ECC 搭載の半導体記憶装置を得ることができる。

#### 【0113】

情報格納部に格納された  $m$  ビットの情報符号と  $n$  ビットの検査符号から上記情報符号の誤りを  $x$  ビットまで訂正することのできる ECC 回路と上記情報格納部に格納された情報符号及び検査符号を受けるテスト回路とを備えた半導体記憶装置のテスト方法であって、上記情報格納部に同一ビットにされたテスト用情報符号及び検査符号を格納し、上記格納されたテスト用情報符号及び検査符号を上記テスト回路に伝えて、1 つの位置情報につき上記  $x + 1$  ビット以上の不良をもって不良と判定することにより、簡単な構成で高精度で効率的なテストが可能となる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明が適用された DRAM の一実施例を示すブロック図である。

#### 【図 2】

本発明に係る 6 ビット入力パラレル判定回路の一実施例を示すブロック図であ

る。

【図 3】

本発明に係るパラレルテスト判定回路の一実施例を示すブロック図である。

【図 4】

本発明に係る疑似インディペンデント判定回路の一実施例を示すブロック図である。

【図 5】

本発明に係る 128+8 ビット ECC を採用した場合のパラレルテスト判定回路の一実施例を示すブロック図である。

【図 6】

本発明に係る半導体記憶装置の通常動作時のデータの流れを示すブロック図である。

【図 7】

本発明に係る半導体記憶装置のパリティ用メモリセルを可制御にする場合のデータの流れを示すブロック図である。

【図 8】

本発明に係るパリティ用メモリセルを可観測にする場合のデータの流れを示すブロック図である。

【図 9】

本発明に係る DRAM のレイアウト例の一実施例を示すブロック図である。

【図 10】

この発明に係るダイナミック型 RAM の一実施例を示す全体ブロック図である。

【図 11】

この発明に係る DRAM の一実施例を示す回路図である。

【符号の説明】

100…DRAMチップ、101\_0～101\_3…メモリマツト、102…行アドレスデコーダ、103…列アドレスデコーダ、104…コマンドデコーダ、105…レジスタ、106…パリティ生成回路、107…パラレルテストセ

レクタ、108…ECCデコーダ、109…パラレルテスト判定回路、110\_\_0～110\_\_3…判定結果セクタ、111\_\_0～111\_\_15…データピン、112…コマンド・アドレスピン、113…疑似インディペンデンス判定回路、120…入出力バス、122…グローバルI/Oバス、

200…6ビット入力パラレル判定回路、201…6ビット入力、202…判定回路有効信号、203…1ビットHi出力、204…1ビットLo出力、205…全ビットHi出力、206…全ビットLo出力

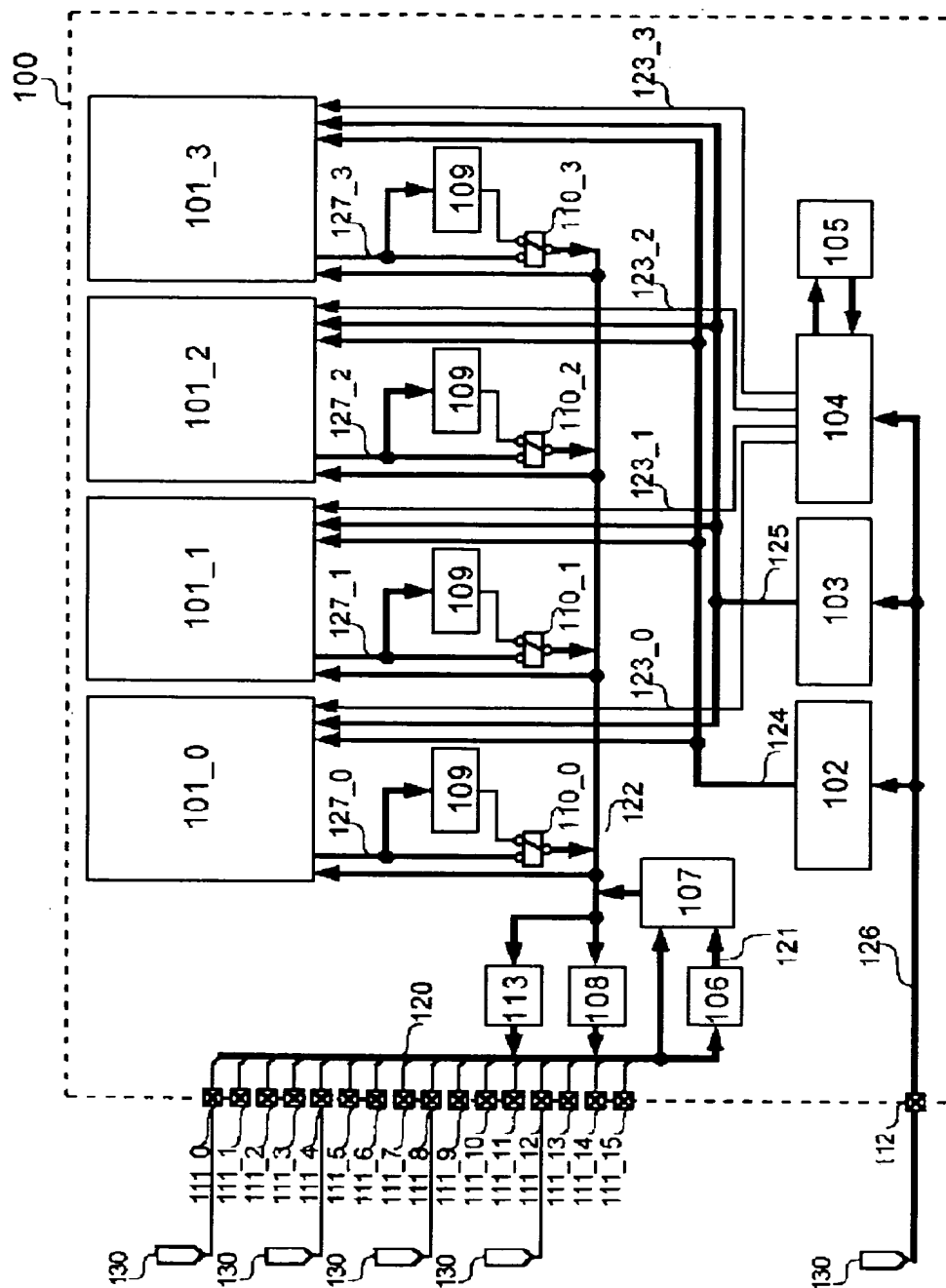
500…パラレルテスト判定回路、501\_\_0～501\_\_3…17ビット入力パラレル判定回路、502…切り替え器、503…レジスタ、601\_\_0～601\_\_15…メモリセル、602\_\_0～602\_\_8…パリティ用メモリセル、603\_\_0～603\_\_15…入力、604\_\_0～604\_\_15…出力、

1200A～D…メモリアレイ、1201A～D…ロウデコーダ、1202A～D…センスアンプ、1203A～D…カラムデコーダ、1204A～D…IOゲート、1205A～D…カラムデコーダ、1206…ロウアドレスマルチプレクサ、1207…カラムアドレスカウンタ、1208…リフレッシュカウンタ、1209…コントロール回路、1210…データ入力回路、1211…データ出力回路、1212…バンクコントロール回路、1213…アドレスレジスタ、1214…ECC回路、12091…コマンドデコーダ、12092…リフレッシュ制御回路、12093…モードレジスタ、

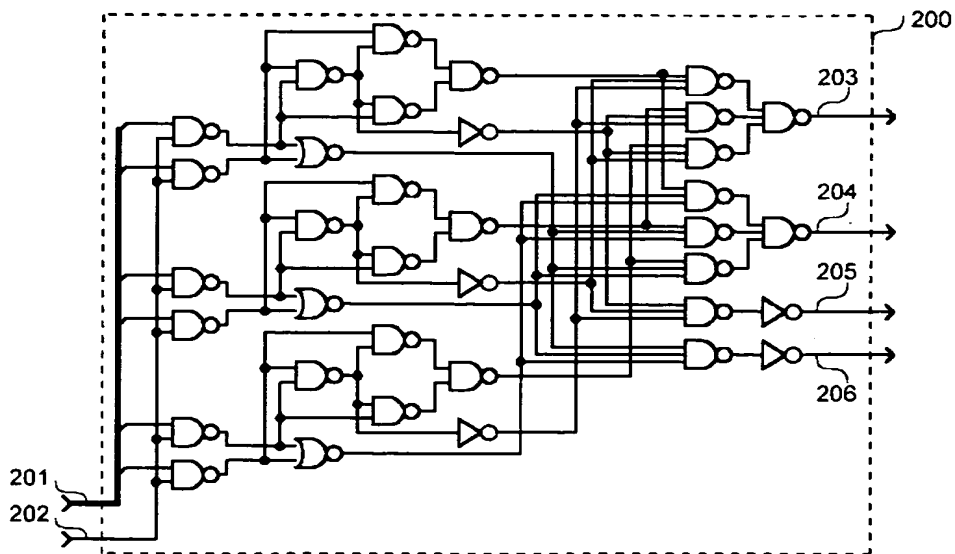
Q1～Q51…MOSFET、N30～N41…インバータ回路、C30～C40…キャパシタ、11…メインロウデコーダ、12…メインワードドライバ、15…サブアレイ（メモリマット）、16…センスアンプ、17…サブワードドライバ、18…交差領域、51…アドレスバッファ、52…プリデコーダ、53…カラムデコーダ、61…メインアンプ、62…出力バッファ、63…入力バッファ。

【書類名】 図面

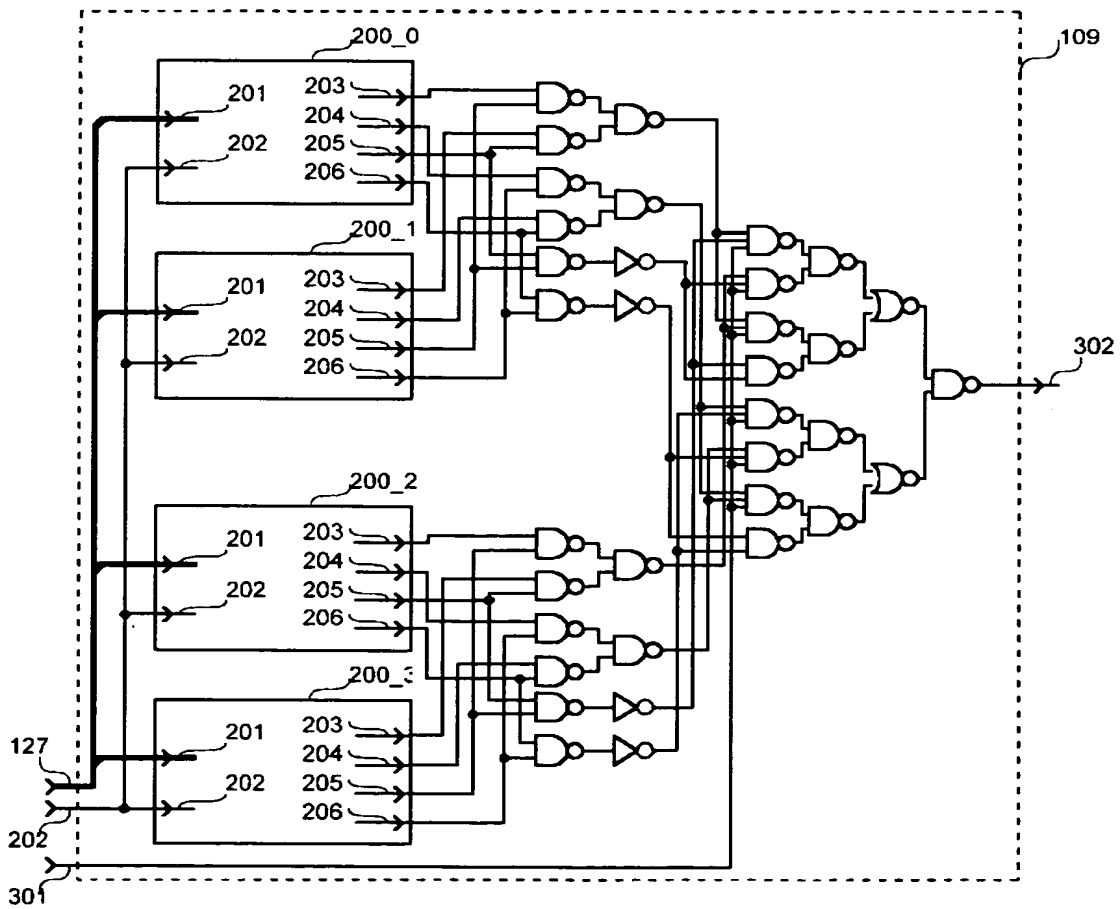
【図 1】



【図 2】

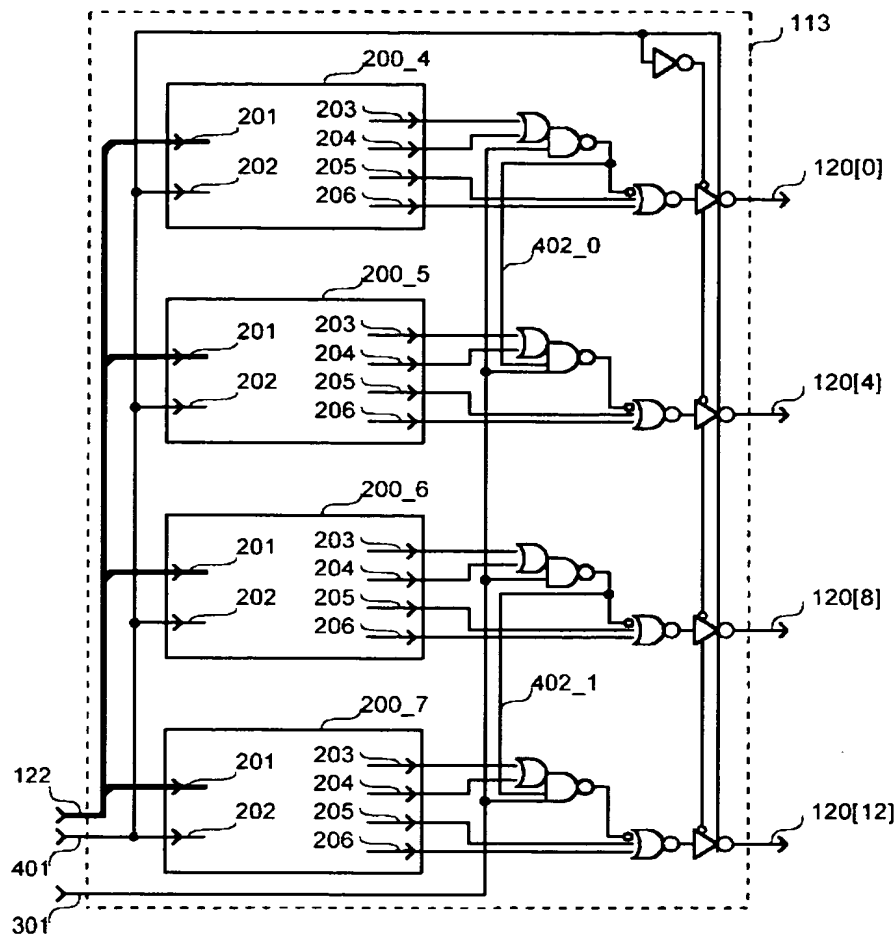


【図 3】

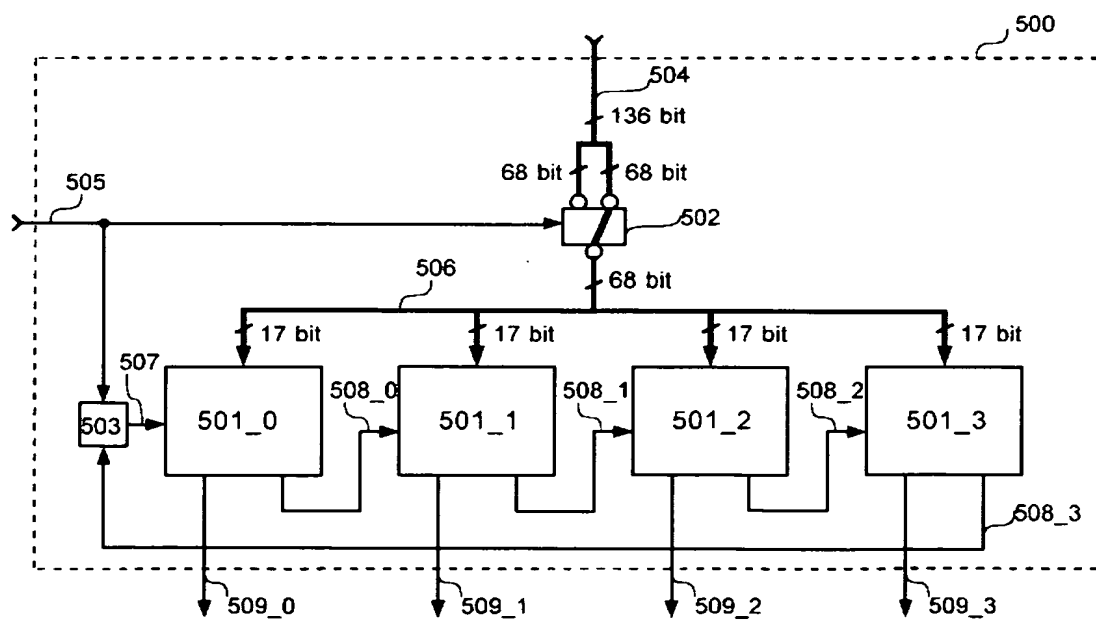




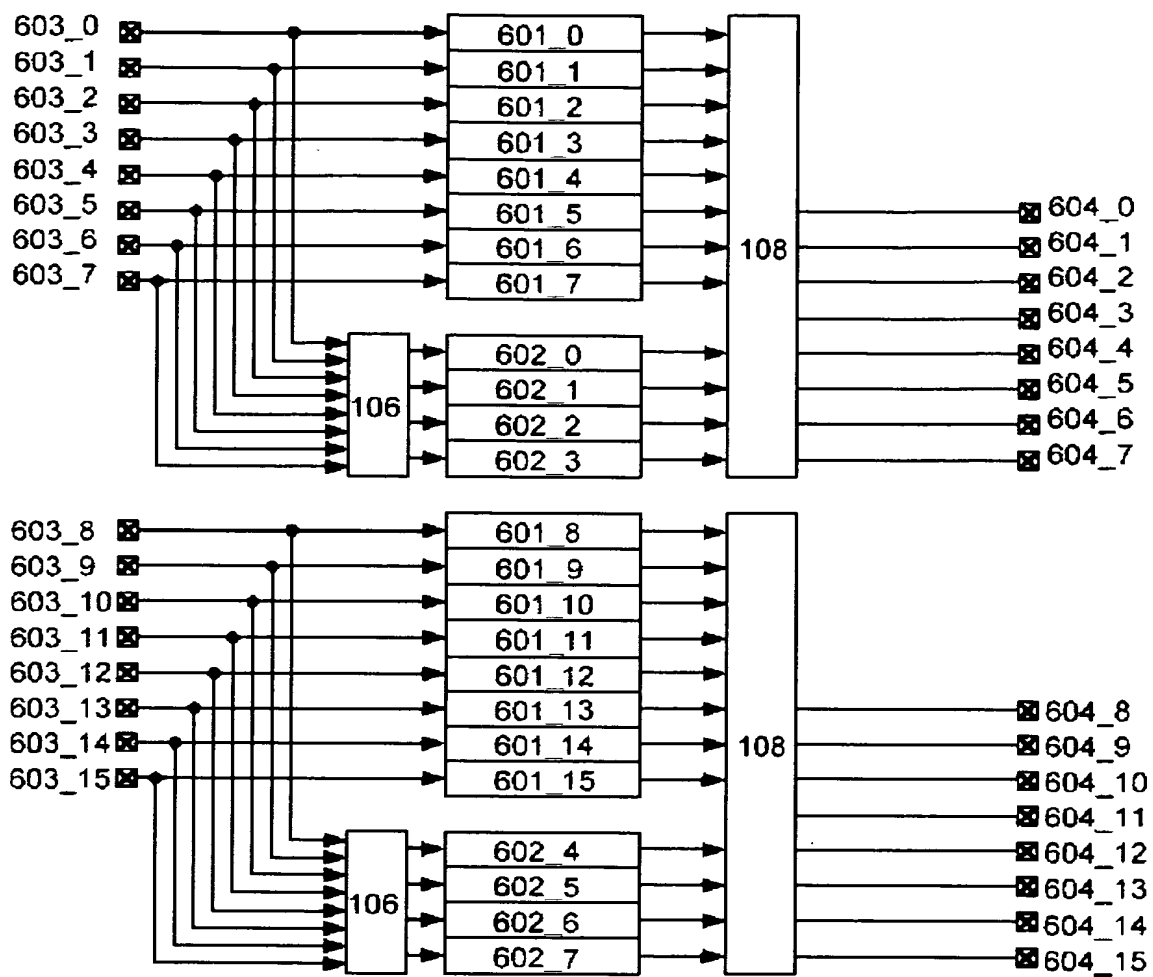
【図 4】



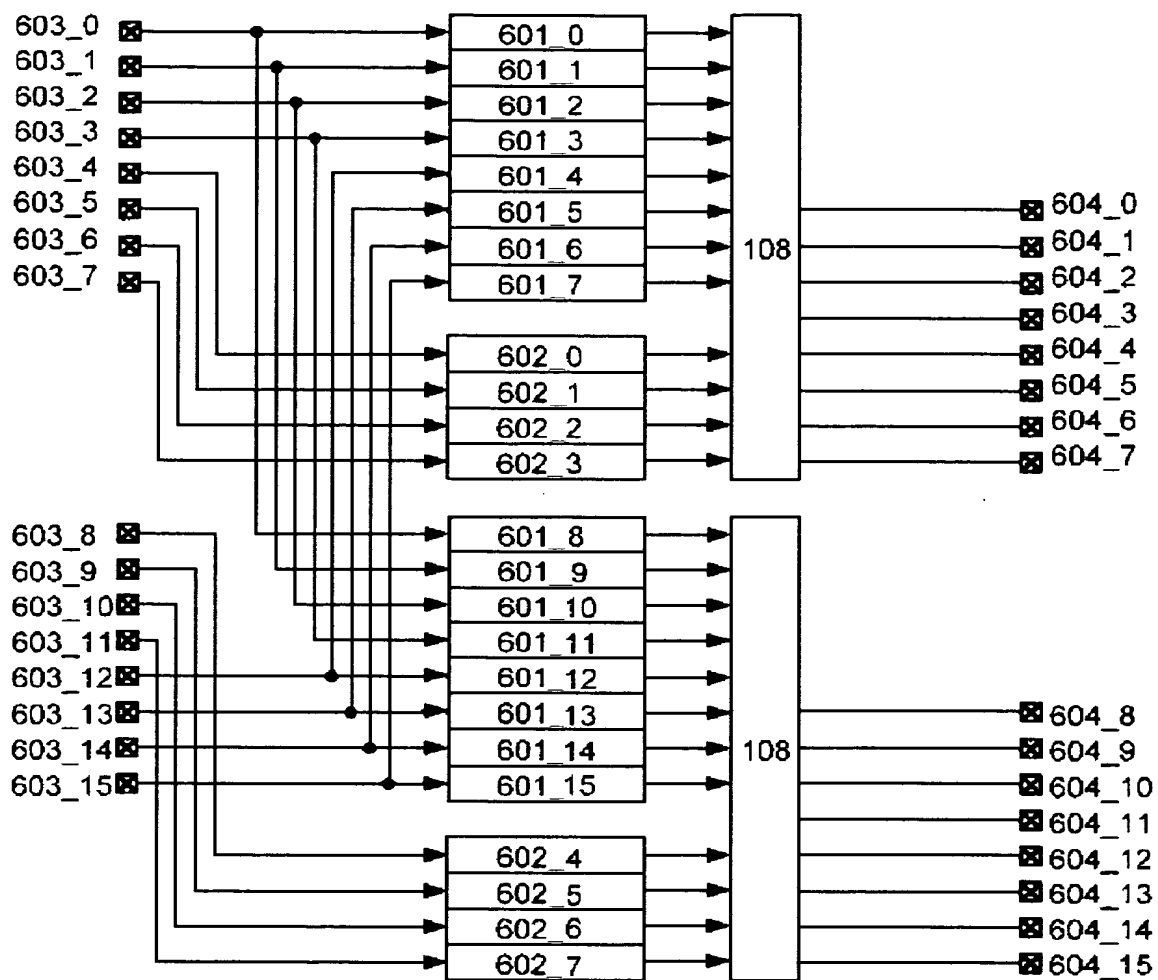
【図 5】



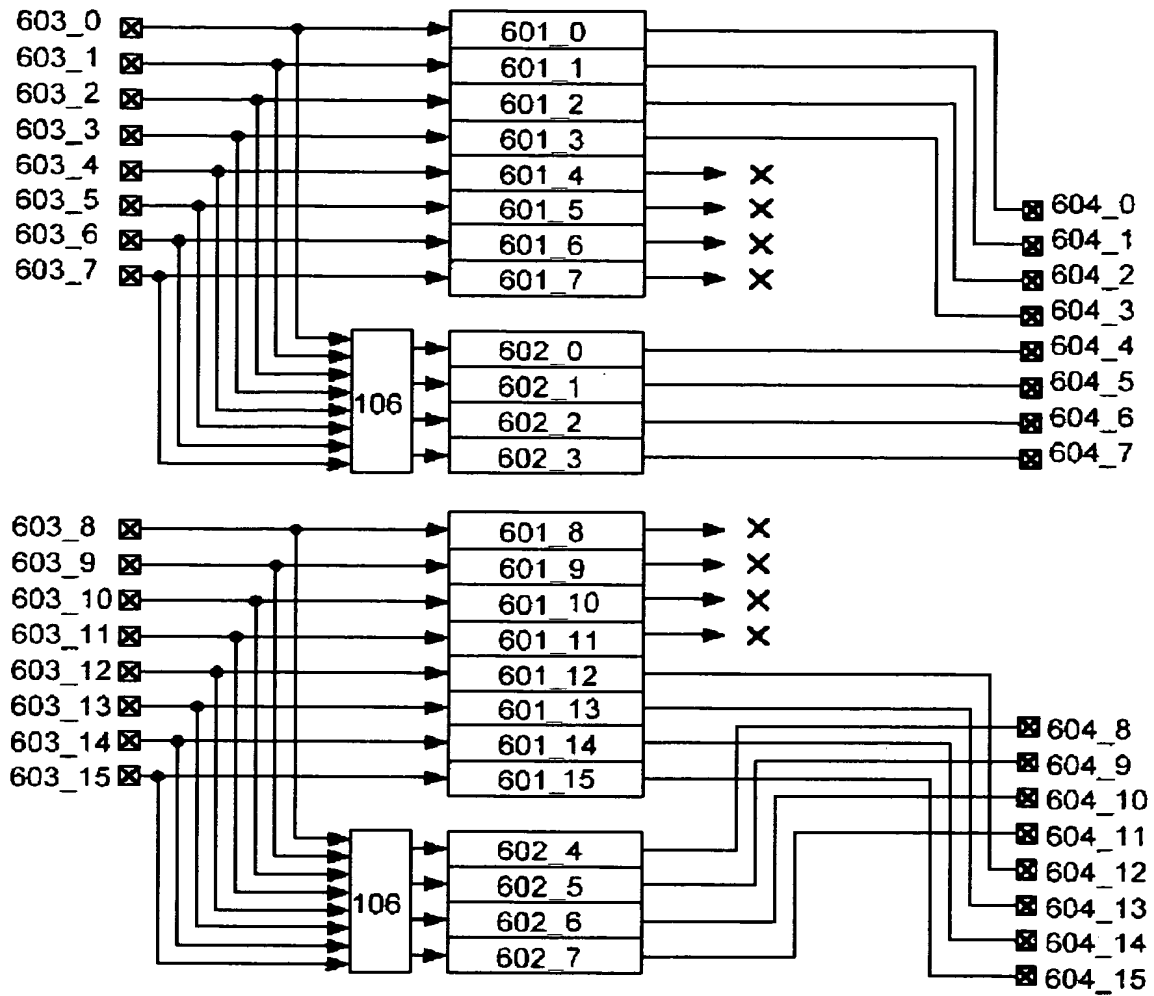
【図 6】



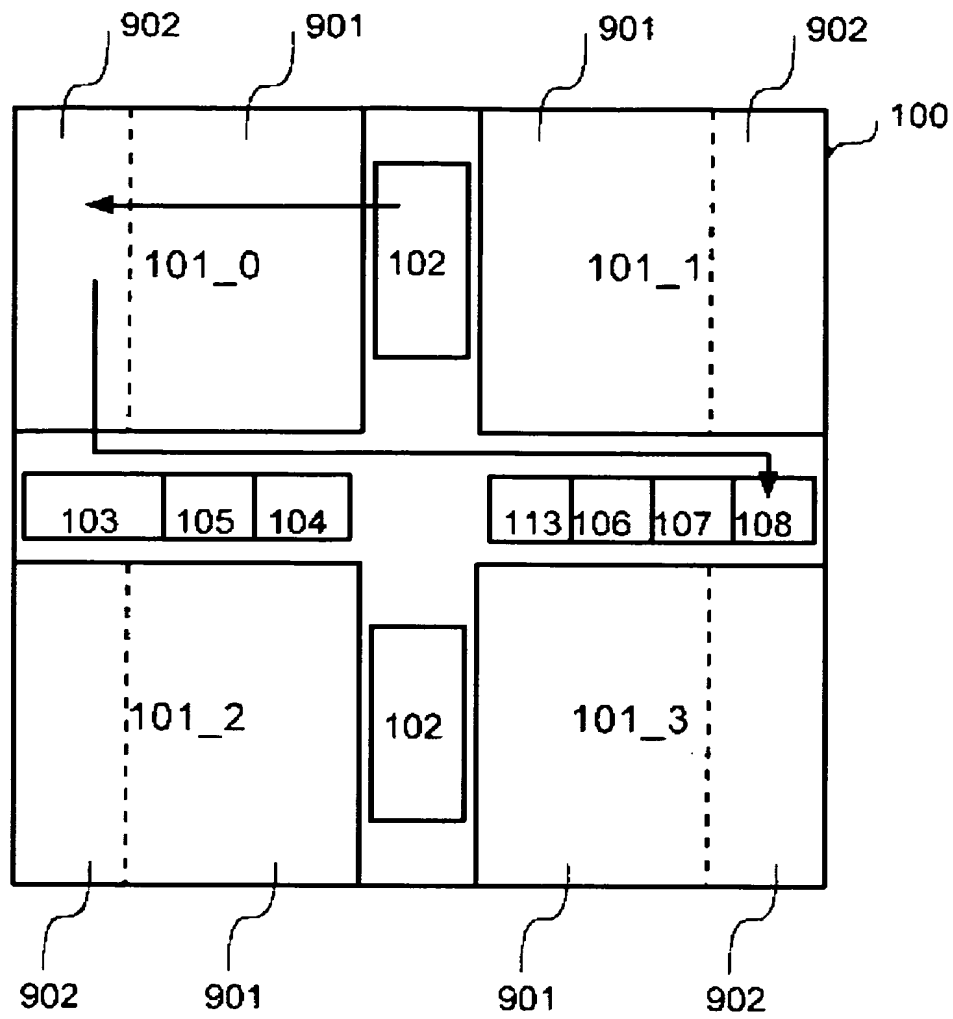
【図 7】



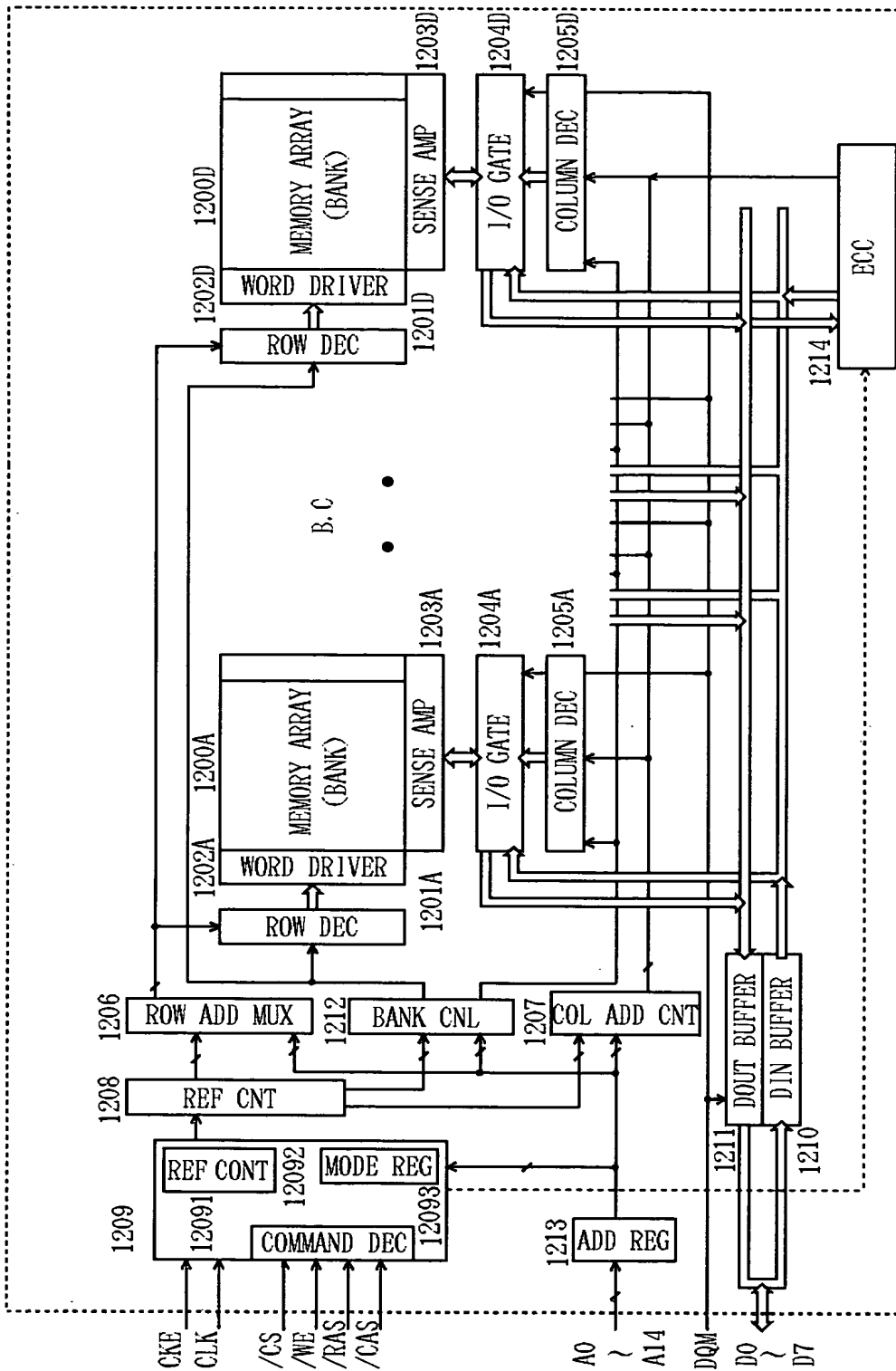
【図 8】



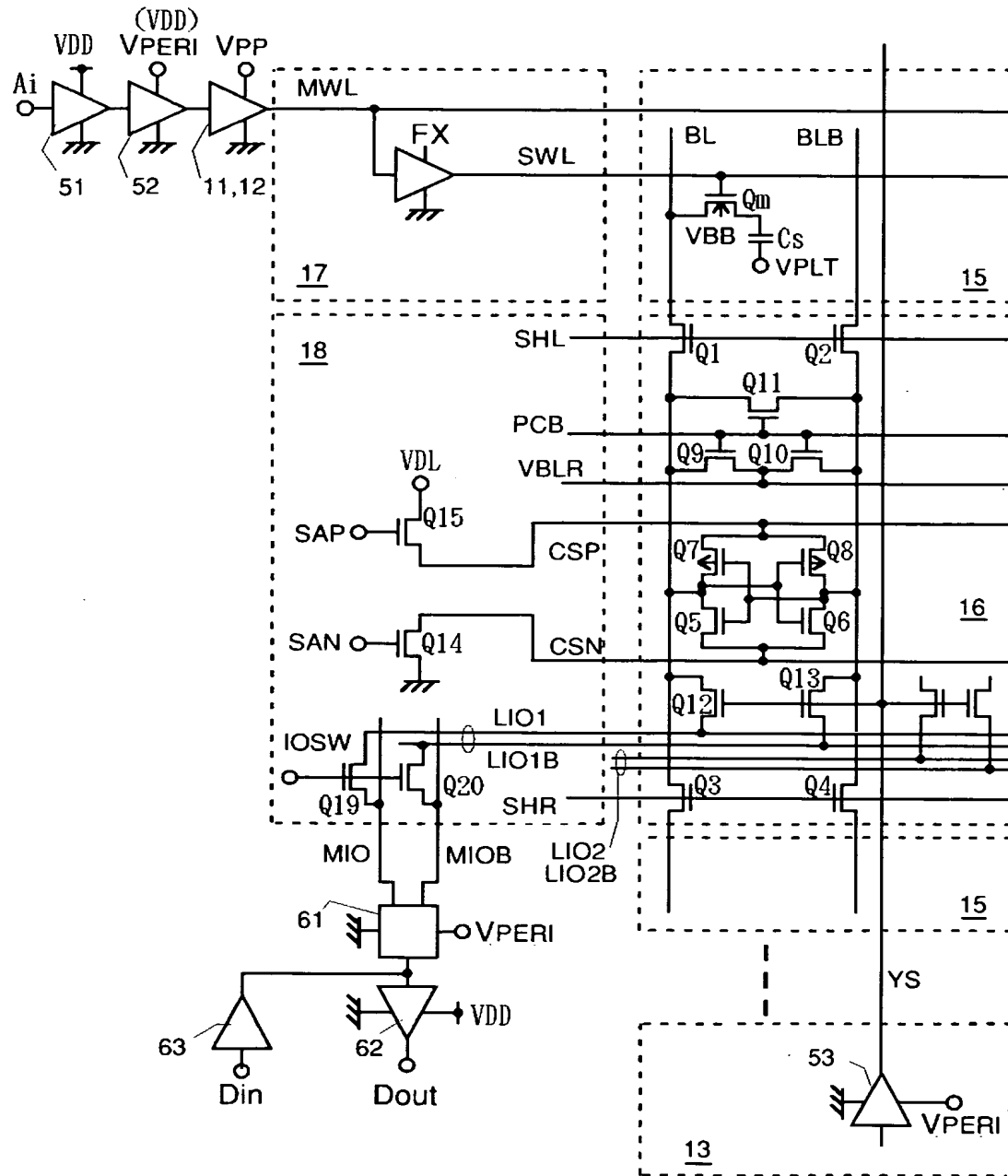
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 簡単な構成により高精度で効率的なテストが可能、及びテスト時間の短縮化が可能な ECC 内蔵の半導体記憶装置とテスト方法を提供する。

【解決手段】 情報格納部に格納された  $m$  ビットの情報符号と  $n$  ビットの検査符号から上記情報符号の誤りを  $x$  ビットまで訂正することのできる ECC 回路を備え、上記情報格納部に格納された同一ビットにされたテスト用情報符号及び検査符号を受け、上記  $x + 1$  ビット以上の不良をもって不良と判定するパラレルテスト回路を設ける。上記パラレルテスト回路により、1つの位置情報につき上記  $x + 1$  ビット以上の不良をもって不良チップと判定する。

【選択図】 図 1



**【書類名】** 出願人名義変更届（一般承継）  
**【あて先】** 特許庁長官 殿  
**【事件の表示】**  
**【出願番号】** 特願2003- 23019  
**【承継人】**  
**【識別番号】** 503121103  
**【氏名又は名称】** 株式会社ルネサステクノロジ  
**【承継人代理人】**  
**【識別番号】** 100081938  
**【弁理士】**  
**【氏名又は名称】** 徳若 光政  
**【提出物件の目録】**  
**【包括委任状番号】** 0308732  
**【物件名】** 承継人であることを証明する登記簿謄本 1  
**【援用の表示】** 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する  
**【物件名】** 権利の承継を証明する承継証明書 1  
**【援用の表示】** 特願平 4 - 0 7 8 4 1 8 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2003-023019
受付番号	50301223886
書類名	出願人名義変更届（一般承継）
担当官	小野寺 光子 1721
作成日	平成15年 9月 2日

< 認定情報・付加情報 >

【提出日】 平成15年 7月24日

特願 2 0 0 3 - 0 2 3 0 1 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 2 3 0 1 9

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ